

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307412

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H01L 23/12

H01L 23/12

(21)Application number : 06-096414

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 10.05.1994

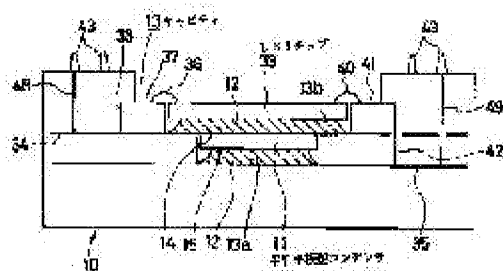
(72)Inventor : YAMAMOTO TOSHISHIGE
HASHIMOTO MASAYA
SHIOYA KOJI

(54) MULTILAYER PACKAGE WITH BUILT-IN BYPASS CAPACITOR

(57)Abstract:

PURPOSE: To avoid the malfunction of an LSI by placing parallel flat plate type bypass capacitors in a cavity and placing integrated circuits directly just above the capacitors or above through support members.

CONSTITUTION: A 3-stage structured cavity 13 is formed in a central part of a package 10 in which ground layers 34 and power source layers 35 are formed such that a part of the layer 35 is exposed on the surface of a bottom part 3a of the cavity 13 and part of the layer 34 is also exposed on a face 13b above by one stage from the bottom 13a of the cavity 13. To the bottom 13a of the cavity 13, parallel flat plate type capacitors 11 are entirely adhered through a conductive material 12 serving as an adhesive agent, and just above the capacitor 11 an LSI chip 33 is adhered similarly through the material 13. Thus, a bypass capacitor-mounted multilayer package difficult to cause a malfunction is obtained.



LEGAL STATUS

[Date of request for examination]

16.07.1999

[Date of sending the examiner's decision of rejection] 21.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The capacitor loading stacked package for a bypass characterized by having a cavity, laying the parallel monotonous mold capacitor for a bypass in the interior of said cavity in the capacitor loading stacked package for a bypass with which an integrated circuit chip is carried, and arranging said integrated circuit chip up through right above or the supporter material of said parallel monotonous mold capacitor for a bypass.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the capacitor loading stacked package for a bypass which operates by high frequency in a detail more about the capacitor loading stacked package for a bypass.

[0002]

[Description of the Prior Art] In recent years, the signal which a high speed and large-capacity-izing of integrated circuits (these are hereafter described as LSI collectively), such as IC and LSI, are enhanced, therefore is used is RF-ized, and the internal circuitry has been integrated highly. Therefore, the switching noise generated with the package with which it originated in these and LSI was carried poses a problem as a factor which makes LSI malfunction. Then, many packages with which the bypass capacitor was carried in order to have reduced such a switching noise are used increasingly recently.

[0003] Since the magnitude of the switching noise of the package with which this capacitor for a bypass was carried is proportional to the magnitude of the inductance between carried LSI and said capacitor for a bypass, it serves as an important element for making as small as possible the inductance (ESL:Equivalent Series Inductance) which the capacitor itself has on that structure, and the inductance which the wiring section between said LSI and said bypass capacitors has to reduce a switching noise. Therefore, it is desirable to shorten the current path for making connection between many power-source pads or the touch-down pad which uses what has ESL small as much as possible, and is usually prepared for the LSI side as a capacitor for a bypass, and the capacitor for a bypass as much as possible.

[0004] In order to maintain the electrical property, the thing of the multilayer structure by which the voltage plane and the ground layer were formed into said package is used for the high speed used from the former, and the package in which mass LSI is carried.

[0005] Drawing 5 is the sectional view having shown said stacked package typically, and the mass chip capacitor 31 is carried in said stacked package as a capacitor for a bypass.

[0006] In the stacked package with which this chip capacitor 31 for a bypass was carried, the chip capacitor 31 for a bypass is arranged near the edge of a field and the field (it is hereafter described as a base) of the opposite side in which the cavity 47 of two-step structure is formed in the central part of a package 30, and the cavity 47 is formed. Moreover, the ground layer 34 and the voltage plane 35 are formed in the interior of a package 30, and the ground layer 34 is exposed to the front face of cavity 47 pars basilaris ossis occipitalis. On the other hand, LSI chip 33 is pasted up on the front face of cavity 47 pars basilaris ossis occipitalis with the conductive ingredient 32 which served also as the role of adhesives, and, thereby, the ground layer 34 and the rear face of LSI chip 33 are connected.

[0007] Moreover, the touch-down pad 45 is formed in the chip capacitor 31 for a bypass arranged in package 30 base for jointing [a part of] with a package 30, and this touch-down pad 45 is connected to the ground layer 34 through one beer hall 39 formed in the interior of a package 30. On the other hand, while this ground layer 34 is connected to the pin 43 of a package 30 through a beer hall 48, it connects also with the touch-down pad 37 of a large number formed in the front face of the cavity 47 middle of a

package 30, and this touch-down pad 37 and the touch-down pad (not shown) of LSI chip 33 are connected by the wire 36.

[0008] If the connection condition of wiring for touch-down of LSI chip 33 and the chip capacitor 31 for a bypass is arranged Connect with a ground layer 34 and the current path of a large number first drawn from many touch-down pads (not shown) of LSI chip 33 through the wire 36, the touch-down pad 37 formed in the cavity 47, and the beer hall 38 is collected. It will connect with the chip capacitor 31 through one beer hall 39 drawn from this ground layer 34.

[0009] On the other hand, wiring is made in the same condition as wiring for touch-down also about wiring for power sources. Connect with a voltage plane 35 and the current path of a large number drawn from LSI chip 33 through wire 40, the power-source pad 41 formed in the package 30, and the beer hall 42 is collected. This voltage plane 35 is connected to the power-source pad 46 of a chip capacitor 31 through one beer hall 44 while connecting with the pin 43 of a package through a beer hall 49.

[0010] Thus, it is because that connection between a chip capacitor 31, and a ground layer 34 or a voltage plane 35 is made by one beer hall 39 and 44, respectively has the small dimension of chip capacitor 31 the very thing, therefore its dimension of the external electrode terminal of a chip capacitor 31 is also small, so it is difficult to connect with much wiring (beer hall).

[0011]

[Problem(s) to be Solved by the Invention] thus, in the conventional capacitor loading stacked package for a bypass Since the chip capacitor 31 is arranged in the location distant from LSI chips 33, such as a pars-basilaris-occipitalis front face of a package 30, Wiring from the power-source pad or touch-down pad of a large number which were prepared for the LSI chip 33 side with much trouble and which are not illustrated is once collected by the voltage plane 35 or the ground layer 34. There was a problem that collected wiring was connected to the chip capacitor 31 for a bypass, therefore the die length of wiring will become long, and an inductance will become large as a result. Moreover, ESL of chip capacitor 31 self was also large, and the technical problem that originate in the problem of the die length of wiring between above mentioned LSI chip 33 and the chip capacitor 31 for a bypass and the problem of the inductance of chip capacitor 31 self, and the INDAKU dance becomes large, therefore a switching noise etc. became large and caused [of LSI] malfunction occurred.

[0012] Moreover, when the package 30 of a configuration as shown in drawing 5 was used, the beer halls 39 and 44 for connecting with a voltage plane 35 or a ground layer 34 were needed, and the technical problem that the manufacturing cost of package 30 the very thing also rose for complication of an internal wiring layer also occurred.

[0013] This invention is made in view of such a technical problem, the INDAKU dance between LSI and the capacitor for a bypass is small, a switching noise etc. becomes very small, and it aims at offering cheaply the capacitor loading stacked package for a bypass which malfunction of LSI cannot produce easily.

[0014]

[Means for Solving the Problem] It has a cavity, the parallel monotonous mold capacitor for a bypass is laid in the interior of said cavity in the capacitor loading stacked package for a bypass with which an integrated circuit chip is carried, and the capacitor loading stacked package for a bypass applied to this invention in order to attain the above-mentioned purpose is characterized by arranging said integrated circuit chip up through right above or the supporter material of said parallel monotonous mold capacitor for a bypass.

[0015]

[Function] In the capacitor loading stacked package for a bypass with which according to the capacitor loading stacked package for a bypass of the above-mentioned configuration it has a cavity and an integrated circuit chip (it is hereafter described as an LSI chip) is carried Since the parallel monotonous mold capacitor for a bypass is laid in the interior of said cavity and said integrated circuit chip is arranged up through right above or the supporter material of said parallel monotonous mold capacitor for a bypass Become possible to take the large external electrode surface product of said parallel monotonous mold capacitor for a bypass, and distance of said parallel monotonous mold capacitor for a

bypass and said LSI chip is shortened. It becomes possible to shorten the current path for making connection between many power-source pads or the touch-down pad prepared for the LSI chip side, and the capacitor for a bypass.

[0016] Moreover, it also becomes possible for the current path which flows an internal layer by being able to enlarge said capacitor for a bypass and connecting the multilayer electrode of the interior in many beer halls since said capacitor for a bypass is an parallel monotonous mold to become short, to distribute on all sides, and for the own inductance of a capacitor to also become small as a result, and to make connection between the voltage plane or ground layer in a stacked package, and the external electrode terminal of a capacitor to direct complete connection.

[0017] Therefore, while the inductance between said LSI chip and said capacitor for a bypass becomes small, the inductance of a capacitor own [said / for a bypass] also becomes small, a switching noise etc. becomes very small, and it is hard coming to generate malfunction of LSI.

[0018] Furthermore, since the structure of said capacitor loading stacked package for a bypass is easy, it becomes possible to offer the capacitor loading stacked package for a bypass cheaply.

[0019]

[Example] Hereafter, the example of the capacitor loading stacked package for a bypass concerning this invention is explained based on a drawing.

[0020] Drawing 1 is the sectional view having shown typically the capacitor loading stacked package for a bypass concerning an example.

[0021] In this capacitor loading stacked package for a bypass, the cavity 13 of three-step structure is formed in the central part of a package 10, and the ground layer 34 and the voltage plane 35 are formed in the interior of a package 10, a part of voltage plane 35 was exposed to the pars-basilaris-ossis-occipitalis 13a front face of a cavity 13, and it has exposed a part of ground layer 34 to field 13b on one step from pars-basilaris-ossis-occipitalis 13a of a cavity 13.

[0022] And the parallel monotonous mold capacitor 11 pasted mostly pars-basilaris-ossis-occipitalis 13a of a cavity 13 on the whole surface with the conductive ingredient 12 which served also as the role of adhesives, and LSI chip 33 has pasted similarly right above [of this parallel monotonous mold capacitor 11] through the conductive ingredient 12.

[0023] The electrodes 14 and 15 (drawing 2) for external connection are formed in both the principal planes of the parallel monotonous mold capacitor 11, through the conductive ingredient 12, it connects electrically and, on the other hand, the external electrode 15 of voltage plane 35 and parallel monotonous mold capacitor 11 inferior surface of tongue is electrically connected also with the external electrode 14 of parallel monotonous mold capacitor 11 top face, and the rear face of LSI chip 33.

Moreover, the conductive ingredient 12 on which LSI chip 33 and the parallel monotonous mold capacitor 11 are pasted up is applied also to the part in which the exposed ground layer 34 exists, and, thereby, LSI chip 33, the parallel monotonous mold capacitor 11, and three persons of a ground layer 34 are connected mutually.

[0024] The touch-down pad (not shown) of LSI chip 33 is connected to the pin 43 through the beer hall 48 while connecting with a ground layer 34 through a wire 36, the touch-down pad 37 of a package, and a beer hall 38 and connecting with the external electrode 14 of the parallel monotonous mold capacitor 11 from a ground layer 34. While connecting with a voltage plane 35 through a wire 40, the power-source pad 41 of a package, and a beer hall 42 and connecting similarly the power-source pad (not shown) of LSI chip 33 to the external electrode 15 of the parallel monotonous mold capacitor 11 from a voltage plane 35, it connects with the pin 43 through the beer hall 49.

[0025] Since many current paths can be collected, it is not necessary to connect with the chip capacitor 31 for a bypass with long wiring like the conventional capacitor loading stacked package for a bypass shown in drawing 5 and it can connect with the parallel monotonous mold capacitor 11 according to a short and thick current path through a ground layer 34 or a voltage plane 35 according to this example, an inductance can be made small.

[0026] Next, the parallel monotonous mold capacitor 11 currently used by this example is explained in more detail.

[0027] Drawing 2 is the sectional view having shown the parallel monotonous mold capacitor 11 typically, drawing 3 is the decomposition perspective view, and 19a, 19b, 19c, 19d, and 19e show the dielectric layer among drawing.

[0028] In addition, it is completely unified by baking and the parallel monotonous mold capacitor 11 is each dielectric layer 19a... Although it is actually inseparable, it sets to drawing 3, and it is each dielectric layer 19a for convenience... It is shown in the condition of having made it dissociating.

[0029] Although the layer of internal electrodes 16b, 16c, 16d, and 16e is formed in the interior of the parallel monotonous mold capacitor 11 as shown in drawing 2 and drawing 3 internal electrode 16b -- partial 18b in which the parts 18b, 18c, 18d, and 18e by which an electrode is not formed in part in ... at a circle configuration exist, and this electrode is not formed ... **** -- internal electrode 16b -- beer hall 17a or beer hall 17b is formed in the condition of not contacting ... The external electrodes 14 and 15 and internal electrode 16b ... If it sees about connection of a between The external electrode 14 on top is connected to two internal electrodes 16c and 16e which it separated one layer at a time through beer hall 17a. On the other hand, the external electrode 15 at the bottom is connected with the internal electrodes 16d and 16b which it separated one layer at a time too through beer hall 17b, and the internal electrodes which adjoin mutually are connected.

[0030] With the parallel monotonous mold capacitor 11 of the above-mentioned structure, it is internal electrode 16b... While distributing so that the sense of the flowing current may not incline in the fixed direction, the distance in which a current flows by the beer halls 17a and 17b of formed a large number becomes short, and as a result, ESL becomes small and can make a switching noise small. In this case, the magnitude of ESL of the parallel monotonous mold capacitor 11 is mostly inversely proportional to the number of beer halls 17a and 17b, and ESL is small pressed down, so that there are many beer halls 17a and 17b. Moreover, internal electrode 16b ... According to the electrostatic capacity demanded since it is in proportionality, a number and electrostatic capacity choose the class of dielectric materials, and are internal electrode 16b... What is necessary is just to choose a number.

[0031] The inductance of the capacitor loading stacked package for a bypass concerning the above-mentioned example (it considers as an example 1) of such a configuration was actually measured. In addition, the inductance was similarly measured about the conventional capacitor loading stacked package for a bypass shown in drawing 5 as an example 1 of a comparison. The inductance in each internal location and the total inductance are shown in the following table 1.

[0032] In addition, the number of the chip capacitors 31 used for the capacitor loading stacked package for a bypass which in the case of which [of an example 1 and the example 1 of a comparison] whose number of a wire 36, a wire 40, the touch-down pad 37, and the power-source pads 41 is 40, respectively, and is applied to the example of a comparison is four.

[0033]

[Table 1]

	ワイヤ	パッド	接地層	ビアホール	コンデンサESL	合計インダクタンス
実施例 1	3nH/40	2nH/40	100pH	—	50pH	275pH
比較例 1	3nH/40	2nH/40	200pH	1nH/4	1nH/4	825pH

[0034] The inductance of the capacitor loading stacked package for a bypass concerning an example 1 is decreasing to one third compared with the conventional thing (example 1 of a comparison) so that more clearly than the above-mentioned result.

[0035] Since LSI chip 33 is electrically connected to the capacitor 11 for a bypass by the short current path with the capacitor loading stacked package for a bypass concerning the above-mentioned example as explained above and it is an parallel monotonous mold capacitor as the capacitor 11 for a bypass showed further to drawing 2 and drawing 3 by an inductance becoming small, own ESL of a capacitor can also become small, as a result, a switching noise etc. can be made very small, and generating of malfunction in LSI can prevent.

[0036] Furthermore, since the structure is easy, said capacitor loading stacked package for a bypass can be offered cheaply.

[0037] Next, the capacitor loading stacked package for a bypass concerning another example is explained. Drawing 4 is the sectional view having shown typically the capacitor loading stacked package for a bypass which used FURIPPUTO TAB (Tape Automated Bonding) to the mounting method, and the pin 43 is arranged in the field in which FURIPPUTO TAB 21 in which LSI chip 33 was mounted is carried, and the field of the opposite side in this case.

[0038] Also in the capacitor loading stacked package for a bypass concerning this example, a part of ground layer 34 is exposed in a cavity 23 among the ground layers 34 and voltage planes 35 by which the cavity 23 was formed in the central part and formed in the interior.

[0039] On the other hand, inside the cavity 23, the parallel monotonous mold capacitor 11 has pasted the pars basilaris ossis occipitalis through the conductive ingredient 12, and the external electrode 14 formed in the top face of the parallel monotonous mold capacitor 11 is exposed. Moreover, FURIPPUTO TAB 21 is arranged above the parallel monotonous mold capacitor 11 through support rubber 24, and LSI chip 33 is mounted in this FURIPPUTO TAB 21.

[0040] About the connection condition of wiring, the touch-down pad (not shown) of LSI chip 33 is connected to wiring formed in FURIPPUTO TAB 21, it connects with the touch-down pad 25 formed in package 22 front face, and wiring of this FURIPPUTO TAB 21 is further connected to the ground layer 34 through the beer hall 26.

[0041] On the other hand, the power-source pad (not shown) of LSI chip 33 is connected to the power-source pad 27 of a package 22 through wiring formed in FURIPPUTO TAB 21, and this power-source pad 27 is connected with the external electrode 14 of the top face of the parallel monotonous mold capacitor 11 through the wire 40 of a large number extended toward the core of a package 22. Moreover, the power-source pad 27 of a package 22 is connected also to the voltage plane 35 through the beer hall 28. In addition, connection with a pin 43 is made through the beer hall 29 from the ground layer 34 and the voltage plane 35, respectively.

[0042] In the capacitor loading stacked package for a bypass shown in drawing 4, wiring between an LSI chip (not shown) and the parallel monotonous mold capacitor 11 is short, since a current is not collected by one beer hall, the inductance is small, its ESL of parallel monotonous mold capacitor 11 self is also small, and malfunction of LSI cannot produce it easily.

[0043] The inductance was measured about the capacitor loading stacked package for a bypass concerning this example (it considers as an example 2) as well as the case of the above-mentioned example 1.

[0044] In this case, the number of wiring to the touch-down pad 25 from FURIPPUTO TAB 21, wiring to the power-source pad 27 from FURIPPUTO TAB 21, a wire 40, the touch-down pad 25, and the power-source pads 27 is also 40, respectively. The result is shown in the following table 2.

[0045]

[Table 2]

	T A B	パッド	ワイヤ	インダクタESL	合計インダクタンス
実施例 2	1nH/40	1nH/40	3nH/40	50pH	175pH

[0046] The inductance of the capacitor loading stacked package for a bypass concerning an example 2 decreases further, and has become 5 about 1/compared with the conventional thing (example 1 of a comparison) so that more clearly than the above-mentioned result.

[0047] Generating of malfunction [in / since an inductance becomes small since it connects with the parallel monotonous mold capacitor 11 for a bypass at a current path short from LSI chip 33, if it is in the capacitor loading stacked package for the bypass which relates to an example as explained above, and the capacitor for a bypass is the parallel monotonous mold capacitor 11 further, own ESL of a capacitor also becomes small, and as a result, a switching noise etc. can be made very small and / LSI]

can be prevented.

[0048] Furthermore, since the structure of said capacitor loading stacked package for a bypass is easy, the capacitor loading stacked package for a bypass can be offered cheaply.

[0049]

[Effect of the Invention] If it is in the capacitor loading stacked package for a bypass concerning this invention as explained in full detail above In the capacitor loading stacked package for a bypass with which it has a cavity and the LSI chip was carried Since the parallel monotonous mold capacitor for a bypass is laid in the interior of said cavity and said LSI chip is arranged up through right above or the supporter material of said parallel monotonous mold capacitor for a bypass Distance of said parallel monotonous mold capacitor for a bypass and said LSI chip can be shortened, and the current path for making connection between many power-source pads or the touch-down pad prepared for the LSI chip side, and the capacitor for a bypass can be shortened.

[0050] Moreover, since said capacitor for a bypass is an parallel monotonous mold, the own inductance (ESL) of a capacitor also becomes small, and connection between the voltage plane or ground layer in a stacked package, and the external electrode terminal of a capacitor can be made to direct complete connection.

[0051] That is, since the inductance (ESL) of a capacitor own [said / for a bypass] is also small and it can carry out while being able to make small the inductance between an LSI chip and the capacitor for a bypass if it is in the capacitor loading stacked package for a bypass concerning this invention, a switching noise etc. can be made very small and the capacitor loading stacked package for a bypass which malfunction of LSI cannot produce easily can be offered.

[0052] Furthermore, since the structure of said capacitor loading stacked package for a bypass is easy, the capacitor loading stacked package for a bypass can be offered cheaply.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view having shown typically the capacitor loading stacked package for a bypass concerning the example of this invention.

[Drawing 2] It is the sectional view having shown typically the parallel monotonous mold capacitor used for the capacitor loading stacked package for a bypass concerning an example.

[Drawing 3] It is the decomposition perspective view having shown typically the parallel monotonous mold capacitor used for the capacitor loading stacked package for a bypass concerning an example.

[Drawing 4] It is the sectional view having shown typically the capacitor loading stacked package for a bypass concerning another example.

[Drawing 5] It is the sectional view having shown typically the conventional capacitor loading stacked package for a bypass.

[Description of Notations]

11 Parallel Monotonous Mold Capacitor

13 Cavity

24 Support Rubber

33 LSI Chip

[Translation done.]

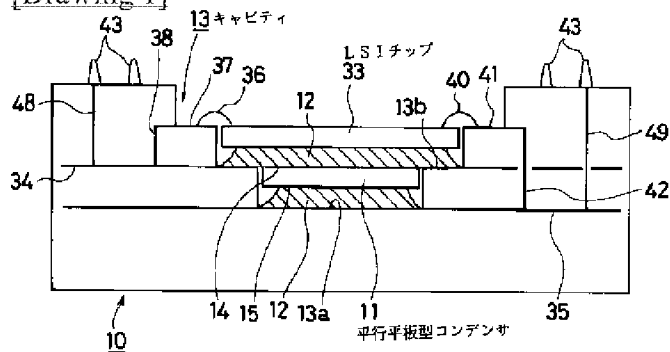
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

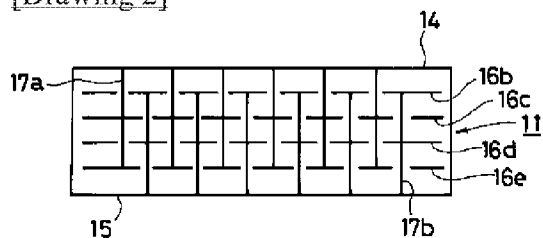
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

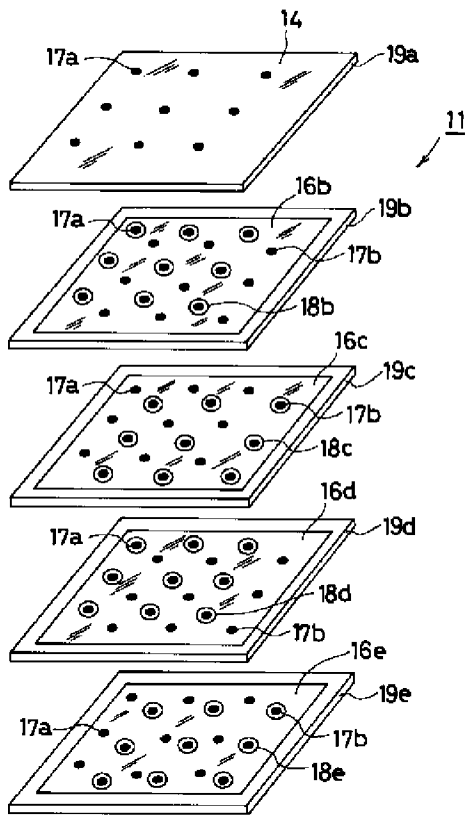
[Drawing 1]



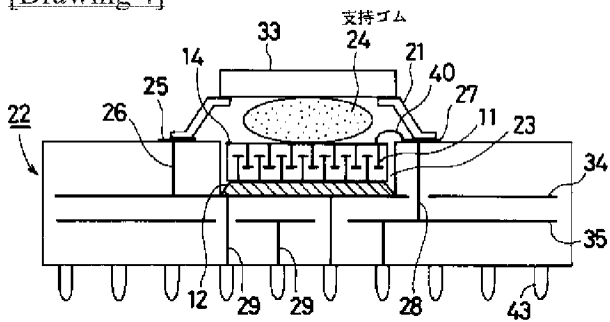
[Drawing 2]



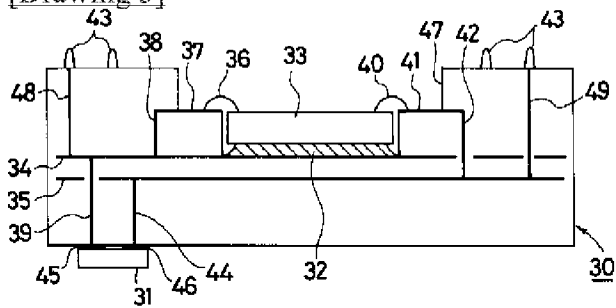
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-307412

(43)公開日 平成7年(1995)11月21日

(51)Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 23/12 3 0 1 L

H 0 1 L 23/ 12 F
B

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平6-96414

(22)出願日 平成6年(1994)5月10日

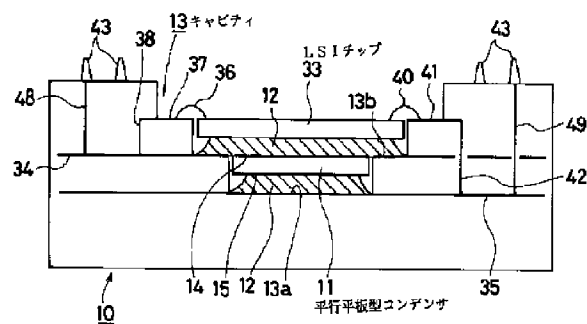
(71)出願人 000002118
住友金属工業株式会社
大阪府大阪市中央区北浜4丁目5番33号
(72)発明者 山本 利重
大阪府大阪市中央区北浜4丁目5番33号
住友金属工業株式会社内
(72)発明者 橋本 昌也
大阪府大阪市中央区北浜4丁目5番33号
住友金属工業株式会社内
(72)発明者 塩屋 侯治
大阪府大阪市中央区北浜4丁目5番33号
住友金属工業株式会社内
(74)代理人 弁理士 井内 龍二

(54)【発明の名称】 バイパス用コンデンサ搭載積層パッケージ

(57)【要約】

【構成】 キャビティ13を有しLSIチップ33が搭載された積層パッケージにおいて、バイパス用の平行平板型コンデンサ11がキャビティ13の内部に載置され、平行平板型コンデンサ11の直上にLSIチップ33が配設されてるバイパス用コンデンサ搭載積層パッケージ。

【効果】 LSIチップ33と平行平板型コンデンサ11との間のインダクタンスを小さくすることができるとともに、コンデンサ自身のインダクタンス(ESL)も小さくすることができるため、スイッチングノイズなどを極めて小さくすることができ、LSIチップ33の誤動作が生じにくい積層パッケージを提供することができる。また積層パッケージ10自身の構造も簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。



1

【特許請求の範囲】

【請求項1】 キャパティを有し、集積回路チップが搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャパティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されることを特徴とするバイパス用コンデンサ搭載積層パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバイパス用コンデンサ搭載積層パッケージに関し、より詳細には高周波で動作するバイパス用コンデンサ搭載積層パッケージに関する。

【0002】

【従来の技術】 近年、IC、LSIなどの集積回路（以下、これらをまとめてLSIと記す）は高速、大容量化の一途をたどり、そのために用いられる信号は高周波化され、また内部回路は高集積化されてきている。そのため、これらに起因してLSIが搭載されたパッケージで発生するスイッチングノイズがLSIを誤動作させる要因として問題となっている。そこで、このようなスイッチングノイズを低減させるべく、バイパスコンデンサが搭載されたパッケージが、最近多く使用されるようになってきている。

【0003】 このバイパス用コンデンサが搭載されたパッケージのスイッチングノイズの大きさは、搭載されたLSIと前記バイパス用コンデンサとの間のインダクタンスの大きさに比例するため、コンデンサ自身がその構造上有するインダクタンス（ESL: Equivalent Series Inductance）、及び前記LSIと前記バイパスコンデンサとの間の配線部が有するインダクタンスをできるだけ小さくすることがスイッチングノイズを低減するための重要な要素となる。従って、バイパス用コンデンサとして、できるだけESLの小さいものを使用し、かつ通常LSI側に用意されている多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路をできるだけ短くすることが望ましい。

【0004】 従来から用いられている高速、大容量のLSIが搭載されるパッケージには、その電気特性を維持するために、電源層及び接地層が前記パッケージ中に形成された多層構造のものが使用されている。

【0005】 図5は、前記積層パッケージを模式的に示した断面図であり、前記積層パッケージにはバイパス用コンデンサとして大容量のチップコンデンサ31が搭載されている。

【0006】 このバイパス用チップコンデンサ31が搭載された積層パッケージにおいては、パッケージ30の中央部分に2段構造のキャパティ47が形成され、キャパティ47が形成されている面と反対側の面（以下、底面と記す）の端部付近にはバイパス用のチップコンデン

2

サ31が配設されている。また、パッケージ30の内部には接地層34及び電源層35が形成されており、接地層34はキャパティ47底部の表面に露出している。一方、LSIチップ33は接着剤の役割も兼ねた導電性材料32によりキャパティ47底部の表面に接着されており、これにより接地層34とLSIチップ33の裏面とが接続されている。

【0007】 また、パッケージ30底面に配設されたバイパス用のチップコンデンサ31にはパッケージ30との接着部分の一部に接地パッド45が形成されており、この接地パッド45はパッケージ30の内部に形成された1本のビアホール39を通じて接地層34に接続されている。一方、この接地層34はビアホール48を介してパッケージ30のピン43に接続されるとともに、パッケージ30のキャパティ47中段の表面に形成された多数の接地パッド37にも接続されており、この接地パッド37とLSIチップ33の接地パッド（図示せず）とはワイヤ36により接続されている。

【0008】 LSIチップ33とバイパス用のチップコンデンサ31との接地用配線の接続状態を整理してみると、まずLSIチップ33の多数の接地パッド（図示せず）からワイヤ36、キャパティ47に形成された接地パッド37、ビアホール38を介して導出された多数の電流路は接地層34に接続されて集約され、この接地層34から導出された1本のビアホール39を介してチップコンデンサ31に接続されていることになる。

【0009】 一方、電源用の配線についても、接地用の配線と同様の状態で配線がなされており、LSIチップ33からワイヤ40、パッケージ30に形成された電源パッド41、ビアホール42を介して導出された多数の電流路は電源層35に接続されて集約され、この電源層35はビアホール49を介してパッケージのピン43に接続されるとともに、1本のビアホール44を介し、チップコンデンサ31の電源パッド46に接続されている。

【0010】 このように、チップコンデンサ31と、接地層34又は電源層35との接続がそれぞれ1本のビアホール39、44によりなされているのは、チップコンデンサ31自体の寸法が小さく、従ってチップコンデンサ31の外部電極端子の寸法も小さいため、多数の配線（ビアホール）に接続することが難しいからである。

【0011】

【発明が解決しようとする課題】 このように、従来のバイパス用コンデンサ搭載積層パッケージでは、チップコンデンサ31がパッケージ30の底部表面など、LSIチップ33から遠い位置に配置されているため、せっかくLSIチップ33側に用意された図示しない多数の電源パッド又は接地パッドからの配線が一旦電源層35又は接地層34で集約され、集約された配線がバイパス用のチップコンデンサ31に接続されており、そのために

配線の長さが長くなり、結果としてインダクタンスが大きくなってしまいう問題があった。また、チップコンデンサ31自身のESLも大きく、前記したLSIチップ33とバイパス用のチップコンデンサ31との間の配線の長さの問題及びチップコンデンサ31自身のインダクタンスの問題に起因して、そのインダクタンスが大きくなり、そのためにスイッチングノイズなどが大きくなり、LSIの誤動作の原因になるという課題があった。

【0012】また、図5に示したような構成のパッケージ30を使用すると、電源層35又は接地層34と接続するためのビアホール39、44が必要となり、内部配線層の複雑化のために、パッケージ30自体の製造コストも上昇するという課題もあった。

【0013】本発明はこのような課題に鑑みなされたものであり、LSIとバイパス用コンデンサとの間のインダクタンスが小さく、スイッチングノイズなどが極めて小さくなり、LSIの誤動作が生じにくいバイパス用コンデンサ搭載積層パッケージを安価に提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明に係るバイパス用コンデンサ搭載積層パッケージは、キャビティを有し、集積回路チップが搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されることを特徴としている。

【0015】

【作用】上記構成のバイパス用コンデンサ搭載積層パッケージによれば、キャビティを有し、集積回路チップ（以下、LSIチップと記す）が搭載されるバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記集積回路チップが配設されるので、前記バイパス用平行平板型コンデンサの外部電極面積を大きくとることが可能になり、前記バイパス用平行平板型コンデンサと前記LSIチップとの距離を短くして、LSIチップ側に用意された多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路を短くすることが可能になる。

【0016】また、前記バイパス用コンデンサが平行平板型であるので、前記バイパス用コンデンサを大きくすることができ、その内部の多層電極が多数のビアホールで接続されることにより、内部層を流れる電流路が短くなり、四方に分散され、その結果コンデンサ自身のインダクタンスも小さくなり、また積層パッケージにおける電源層又は接地層とコンデンサの外部電極端子との接続

を直接的全面接続とすることも可能となる。

【0017】従って、前記LSIチップと前記バイパス用コンデンサとの間のインダクタンスが小さくなるとともに、前記バイパス用コンデンサ自身のインダクタンスも小さくなり、スイッチングノイズなどが極めて小さくなり、LSIの誤動作が生じにくくなる。

【0018】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することが可能となる。

【0019】

【実施例】以下、本発明に係るバイパス用コンデンサ搭載積層パッケージの実施例を図面に基いて説明する。

【0020】図1は実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

【0021】このバイパス用コンデンサ搭載積層パッケージにおいては、パッケージ10の中央部分に3段構造のキャビティ13が形成され、またパッケージ10の内部には接地層34及び電源層35が形成されており、電源層35の一部がキャビティ13の底部13a表面に露出し、接地層34の一部もキャビティ13の底部13aより1段上の面13bに露出している。

【0022】そして、キャビティ13の底部13aには接着剤の役割も兼ねた導電性材料12により平行平板型コンデンサ11がほぼ全面で接着され、この平行平板型コンデンサ11の直上に、同様に導電性材料12を介してLSIチップ33が接着されている。

【0023】平行平板型コンデンサ11の両主面には外部接続用電極14、15（図2）が形成されており、導電性材料12を介して電源層35と平行平板型コンデンサ11下面の外部電極15が電氣的に接続され、一方、平行平板型コンデンサ11上面の外部電極14とLSIチップ33の裏面とも電氣的に接続されている。またLSIチップ33と平行平板型コンデンサ11を接着している導電性材料12は露出した接地層34が存在する部分にも塗布されており、これによりLSIチップ33、平行平板型コンデンサ11及び接地層34の三者が互いに接続されている。

【0024】LSIチップ33の接地パッド（図示せず）は、ワイヤ36、パッケージの接地パッド37、ビアホール38を介して接地層34に接続され、接地層34より平行平板型コンデンサ11の外部電極14に接続されるとともに、ビアホール48を介してピン43に接続されている。LSIチップ33の電源パッド（図示せず）も同様に、ワイヤ40、パッケージの電源パッド41、ビアホール42を介して電源層35に接続され、電源層35より平行平板型コンデンサ11の外部電極15に接続されるとともに、ビアホール49を介してピン43に接続されている。

【0025】本実施例によれば、図5に示した従来のバ

イバス用コンデンサ搭載積層パッケージのように、多数の電流路を集約し、長い配線によりバイパス用のチップコンデンサ31に接続する必要がなく、接地層34又は電源層35を介して、短くかつ太い電流路により平行平板型コンデンサ11に接続することができるため、インダクタンスを小さくすることができる。

【0026】次に、本実施例で使用している平行平板型コンデンサ11をさらに詳しく説明する。

【0027】図2は平行平板型コンデンサ11を模式的に示した断面図であり、図3はその分解斜視図であり、
10 図中、19a、19b、19c、19d、19eは誘電体層を示している。

【0028】なお、平行平板型コンデンサ11は、焼成により完全に一体化されており、各誘電体層19a…を実際に分離することはできないが、図3においては便宜上各誘電体層19a…を分離させた状態で示している。

【0029】図2及び図3に示したように、平行平板型コンデンサ11の内部には内部電極16b、16c、16d、16eの層が形成されているが、内部電極16b
20 …には一部円形状に電極の形成されていない部分18b、18c、18d、18eが存在し、この電極の形成されていない部分18b…には、内部電極16b…に接触しない状態でビアホール17a、あるいはビアホール17bが形成されている。外部電極14、15と内部電極16b…との間の接続についてみると、上面の外部電極14は1層づつ隔てた2つの内部電極16c、16eにビアホール17aを介して接続されており、一方下面の外部電極15はやはり1層づつ隔てた内部電極16d、16bとビアホール17bを介して接続されて*30

*おり、互いに隣接する内部電極同士は接続されないようになっている。

【0030】上記の構造の平行平板型コンデンサ11では、内部電極16b…を流れる電流の向きが一定方向に偏らないように分散されとともに、形成された多数のビアホール17a、17bにより電流の流れる距離が短くなり、その結果ESLが小さくなり、スイッチングノイズを小さくすることができる。この場合、平行平板型コンデンサ11のESLの大きさはビアホール17a、17bの数にほぼ逆比例し、ビアホール17a、17bの数が多ければESLは小さくおさえられる。また、内部電極16b…の数と静電容量とは比例関係にあるため、要求される静電容量に合わせて、誘電体材料の種類を選び、内部電極16b…の数を選択すればよい。

【0031】このような構成の上記実施例（実施例1とする）に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスを実際に測定した。なお、比較例1として図5に示した従来のバイパス用コンデンサ搭載積層パッケージについても同様にインダクタンスを測定した。内部の各場所でのインダクタンス、及び合計のインダクタンスを下記の表1に示している。

【0032】なお、実施例1及び比較例1のいずれの場合においても、ワイヤ36、ワイヤ40、接地パッド37、及び電源パッド41の数はそれぞれ40であり、比較例に係るバイパス用コンデンサ搭載積層パッケージに用いられているチップコンデンサ31は4個である。

【0033】

【表1】

	ワイヤ	パッド	接地層	ビアホール	コンデンサESL	合計インダクタンス
実施例1	3nH/40	2nH/40	100pH	—	50pH	275pH
比較例1	3nH/40	2nH/40	200pH	1nH/4	1nH/4	825pH

【0034】上記結果より明かなように、実施例1に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスは、従来のもの（比較例1）と比べて1/3に減少している。

【0035】以上説明したように、上記実施例に係るバイパス用コンデンサ搭載積層パッケージでは、LSIチップ33が短い電流路でバイパス用コンデンサ11に電氣的に接続されているためインダクタンスが小さくなり、さらにバイパス用コンデンサ11が図2及び図3に示したような平行平板型コンデンサであるので、コンデンサ自身のESLも小さくなり、この結果スイッチングノイズなどを極めて小さくすることができ、LSIにおける誤動作の発生を防止することができる。

【0036】さらに、前記バイパス用コンデンサ搭載積
50

層パッケージはその構造が簡単であるため、安価に提供することができる。

【0037】次に、別の実施例に係るバイパス用コンデンサ搭載積層パッケージを説明する。図4は、実装方式
40 にフリップトTAB（Tape Automated Bonding）を用いたバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図であり、この場合、ピン43はLSIチップ33が実装されたフリップトTAB21が搭載されている面と反対側の面に配設されている。

【0038】本実施例に係るバイパス用コンデンサ搭載積層パッケージにおいても、キャビティ23が中央部分に形成され、その内部に形成された接地層34、電源層35のうち、接地層34の一部がキャビティ23において露出している。

【0039】一方、キャビティ23の内部には平行平板型コンデンサ11が導電性材料12を介してその底部に接着されており、平行平板型コンデンサ11の上面に形成された外部電極14は露出している。また、平行平板型コンデンサ11の上方には支持ゴム24を介してフリップトTAB21が配設されており、このフリップトTAB21にはLSIチップ33が実装されている。

【0040】配線の接続状態については、LSIチップ33の接地パッド（図示せず）はフリップトTAB21に形成された配線に接続され、このフリップトTAB21の配線は、パッケージ22表面に形成された接地パッド25に接続され、さらにビアホール26を介して接地層34に接続されている。

【0041】一方、LSIチップ33の電源パッド（図示せず）は、フリップトTAB21に形成された配線を介してパッケージ22の電源パッド27に接続されており、この電源パッド27はパッケージ22の中心に向かって伸びている多数のワイヤ40を介して、平行平板型コンデンサ11の上面の外部電極14と接続されている。また、パッケージ22の電源パッド27はビアホー

*ル28を介して電源層35にも接続されている。なお、ピン43への接続は、それぞれ接地層34及び電源層35からビアホール29を介して行われている。

【0042】図4に示したバイパス用コンデンサ搭載積層パッケージにおいても、LSIチップ（図示せず）と平行平板型コンデンサ11間の配線は短く、1本のビアホールに電流が集約されないため、そのインダクタンスは小さく、平行平板型コンデンサ11自身のESLも小さく、LSIの誤動作が生じにくい。

【0043】本実施例に係るバイパス用コンデンサ搭載積層パッケージ（実施例2とする）についても、上記実施例1の場合と同様にインダクタンスを測定した。

【0044】この場合、フリップトTAB21から接地パッド25への配線、フリップトTAB21から電源パッド27への配線、ワイヤ40、接地パッド25、及び電源パッド27の数もそれぞれ40である。結果を下記の表2に示している。

【0045】

【表2】

	TAB	パッド	ワイヤ	1チップ当りESL	合計インダクタンス
実施例2	1nH/40	1nH/40	3nH/40	50pH	175pH

【0046】上記結果より明らかなように、実施例2に係るバイパス用コンデンサ搭載積層パッケージのインダクタンスはさらに減少し、従来のもの（比較例1）と比べて約1/5になっている。

【0047】以上説明したように実施例に係るバイパス用コンデンサ搭載積層パッケージにあっては、LSIチップ33から短い電流路でバイパス用の平行平板型コンデンサ11に接続されているためインダクタンスが小さくなり、さらにバイパス用コンデンサが平行平板型コンデンサ11であるので、コンデンサ自身のESLも小さくなり、この結果スイッチングノイズなどを極めて小さくすることができ、LSIにおける誤動作の発生を防止することができる。

【0048】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。

【0049】

【発明の効果】以上詳述したように本発明に係るバイパス用コンデンサ搭載積層パッケージにあっては、キャビティを有し、LSIチップが搭載されたバイパス用コンデンサ搭載積層パッケージにおいて、バイパス用平行平板型コンデンサが前記キャビティの内部に載置され、前記バイパス用平行平板型コンデンサの直上あるいは支持部材を介して上方に前記LSIチップが配設されているので、前記バイパス用平行平板型コンデンサと前記LS

Iチップとの距離を短くして、LSIチップ側に用意された多数の電源パッド又は接地パッドとバイパス用コンデンサとの接続を行うための電流路を短くすることができる。

【0050】また、前記バイパス用コンデンサが平行平板型であるので、コンデンサ自身のインダクタンス（ESL）も小さくなり、また積層パッケージにおける電源層又は接地層とコンデンサの外部電極端子との接続を直接的全面接続とすることができる。

【0051】すなわち、本発明に係るバイパス用コンデンサ搭載積層パッケージにあっては、LSIチップとバイパス用コンデンサとの間のインダクタンスを小さくすることができるとともに、前記バイパス用コンデンサ自身のインダクタンス（ESL）も小さくすることができるため、スイッチングノイズなどを極めて小さくすることができ、LSIの誤動作が生じにくいバイパス用コンデンサ搭載積層パッケージを提供することができる。

【0052】さらに、前記バイパス用コンデンサ搭載積層パッケージの構造が簡単であるため、バイパス用コンデンサ搭載積層パッケージを安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

【図2】実施例に係るバイパス用コンデンサ搭載積層パッケージに用いられた平行平板型コンデンサを模式的に

9

10

示した断面図である。

【図3】実施例に係るバイパス用コンデンサ搭載積層パッケージに用いられた平行平板型コンデンサを模式的に示した分解斜視図である。

【図4】別の実施例に係るバイパス用コンデンサ搭載積層パッケージを模式的に示した断面図である。

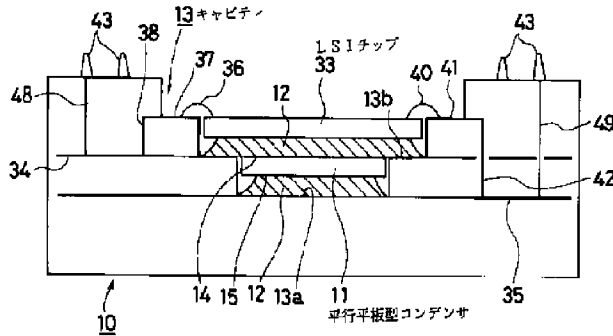
【図5】従来のバイパス用コンデンサ搭載積層パッケージ

ジを模式的に示した断面図である。

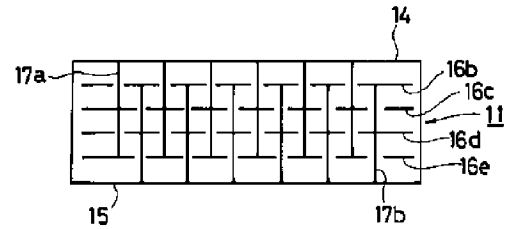
【符号の説明】

- 11 平行平板型コンデンサ
- 13 キャビティ
- 24 支持ゴム
- 33 LSIチップ

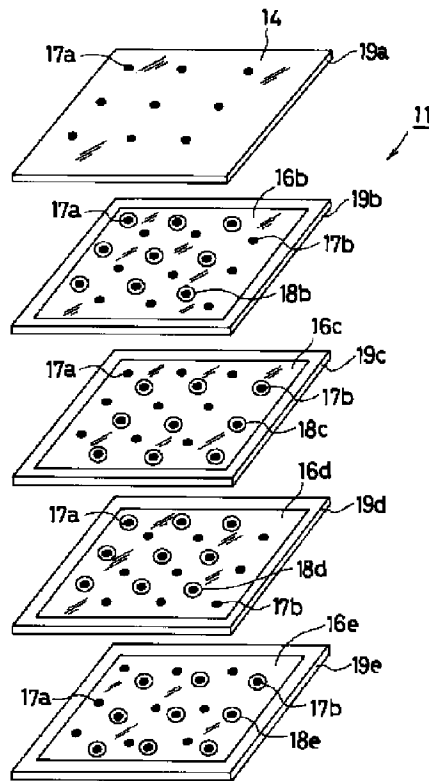
【図1】



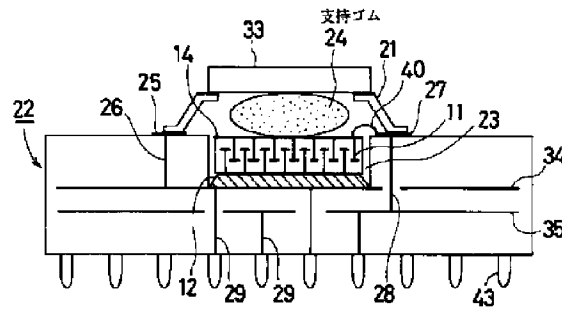
【図2】



【図3】



【図4】



【図5】

